TMPR3927 使用上の注意事項

【変更履歴】

23-May-2001	rev1.0	初版
04-Oct-2001	rev1.1	ERT-TX3927-009, ERT-TX3927-010 追加 ERT-TX3927-008CE*も該当に修正 TX3927 相違点一覧追加 ドキュメント正誤表項目追加
30-Oct-2001	rev1.2	ERT-TX3927-008 条件 3 削除 ERT-TX3927-009 WinCE 記述変更 ドキュメント正誤表項目追加
22-Jan-2002	rev1.3	TMPR3927CF の記述追加 ERT-TX3927-011～ERT-TX3927-014 追加
05-Jul-2002	rev1.4	ERT-TX3927-015～ERT-TX3927-017 追加 ERT-TX3927-009 対象製品名の注修正 ドキュメント正誤表項目追加
14-Mar-2003	rev1.5	ERT-TX3927-018 追加 ドキュメント正誤表項目追加
15-May-2006	rev1.6	ERT-TX3927-019 追加 関連ドキュメント一部更新

この内容は関連ドキュメントの改訂時に反映される予定です。

対象製品群： TMPR3927F、TMPR3927AF、TMPR3927BF、TMPR3927CF
関連ドキュメント： TX39 ファミリー　TMPR3927　データブック（2003 年）：Doc.No=BDJ0016B TX39/H2 コア　アーキテクチャ(2000 年)：Doc.No=02444D12AB

安全設計に関するお願い

当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤動作したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤動作や故障により、生命・身体・財産が侵害されることのないように、購入者の責任において、機器の安全設計を行うことをお願いします。
なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。

本資料ご利用に際しての留意事項

〇本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

〇本資料に掲載されている技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

〇本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

本資料に関する技術的お問い合わせは、下記にお願いいたします。

株式会社 東芝　セミコンダクター社
映像情報システム LSI 設計技術部
〒210-8520　川崎市幸区堀川町 580 番 1 号
東芝マイクロエレクトロニクスセンター
半導体システム技術センター分室

電話: 044-548-2214
FAX: 044-548-8320

発行番号：ERT-TX3927-001

対象製品名：TMPR3927F、TMPR3927AF、 TMPR3927BF、 TMPR3927CF
限定条件： 防湿包装開封後の放置

【防湿包装開封後の許容放置時間について】

防湿梱包品は防湿梱包開封後、温湿度が 30℃/60%以下に管理された状態で保管し、48 時間以内に実装願います。

また、防湿梱包開封後、48 時間を過ぎた場合には、実装前に 125℃、20 時間以上のベーキングを実施願います。その後の実装は、温湿度が 30℃/60%以下に管理された状態で保管し、48 時間以内にご使用願います。

発行番号：ERT-TX3927-002

対象製品名：TMPR3927F、TMPR3927AF、 TMPR3927BF、 TMPR3927CF
限定条件： 静電気破壊

【静電気破壊試験結果について】

TX3927 の静電気破壊試験の試験結果は以下の通りとなっております。

開発時や生産工程での静電破壊の対策をお願いします。尚詳細はデータブック巻頭の「取り扱い上のご注意とお願い」をご参照ください。

規格	ピン	耐圧
機械モデル:MM (EIAJ 規格)	RXD[1:0], CTS[1:0]	200V
	その他のピン	250V 以上
人体モデル:HBM (MIL 規格)	全ピン	2000V 以上

発行番号：ERT-TX3927-003

対象製品名：TMPR3927F、TMPR3927AF、 TMPR3927BF、 TMPR3927CF 注)2000 年度版データブックに既に記載されています。
限定条件： TLB 使用時

【供給電圧に関する推奨動作条件について】

本製品の供給電圧に関する推奨動作条件は以下の通りとなっております。

TLB使用時と未使用時でV_{DD2}の値が異なりますのでご注意ください。

なお、ご使用の際には、必ず推奨動作条件の範囲を超えないように、応用機器の設計を行ってください。

項目		記号	条件	Min.	Max.	単位
供給電圧	I/O	V_{DDS}		3.0	3.6	V
	内部回路	V_{DD2}	TLB 未使用	2.3	2.7	V
			TLB 使用時	2.4	2.7	

発行番号：ERT-TX3927-004

対象製品名：TMPR3927F、TMPR3927AF、(TMPR3927BF、 TMPR3927CF) 注)TMPR3927BF/CF では修正されていますが、一部使用制限が残っています。
限定条件： PCI コントローラをターゲットモードで使用

【概要】

TX3927 のPCIコントローラが、特定の条件下で、PCIバスのアイドル期間中に不要なSTOP*信号をアサートすることがあります。

【症状】

TX3927 のPCIコントローラが、特定の条件下で、PCIバスのアイドル期間中に不要なSTOP*信号をアサートすることがあります。PCIバス上のデバイスが、この不要なSTOP信号によって何らかの影響を受ける場合があります。

【発生条件】

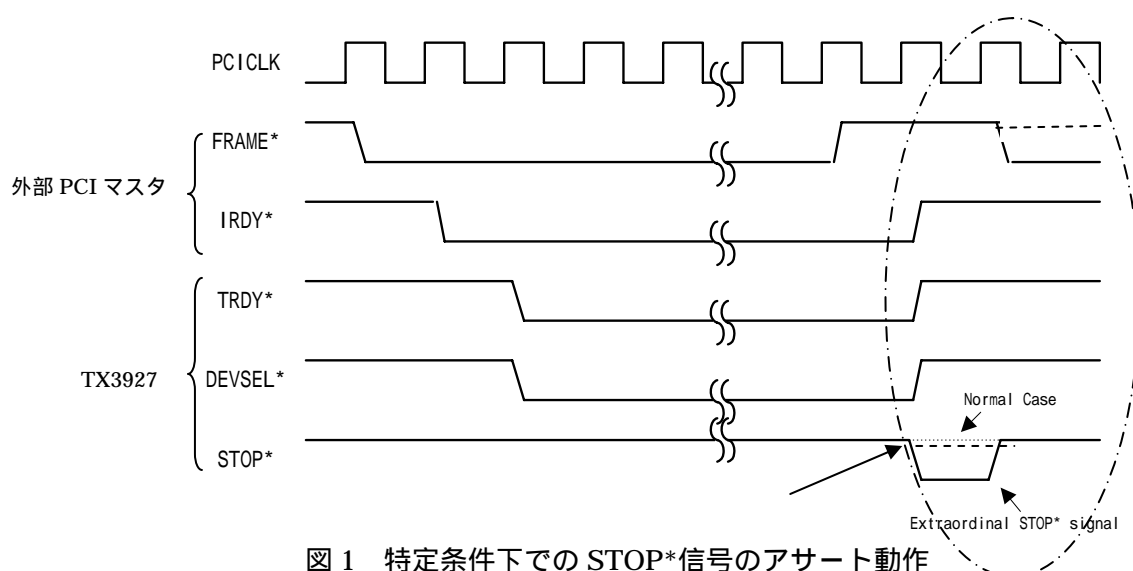



図１　特定条件下での STOP*信号のアサート動作

TX3927 のPCIコントローラをターゲットモードで使用し、外部PCIマスタがバーストアクセスを実行している際、バーストサイクル終了のタイミング（①の部分）とTX3927 の特定の条件が重なった場合に、TX3927 のPCIコントローラが不要なSTOP*信号をアサートします。

特定の条件とは、以下の(1)～(3)の３通りの場合があります。

(1)　下記 a)～c)の全てが成立した場合

a) PCI コントローラのターゲットコントロールレジスタ（ｱﾄﾞﾚｽ0xFFFE_D090:TC）でOFIFO８クロックルールイネーブル（ﾋﾞｯﾄ3：OF8E ）がディセーブルに設定されている。

b) バーストサイクルがリードである。

c) ①の直前にて OFIFO が空になる。

(2)　下記 a)～c)の全てが成立した場合

a) PCI コントローラのターゲットコントロールレジスタ（TC）で IFIF0８クロックルールイネーブル（ﾋﾞｯﾄ4:IF8E）がディセーブルに設定されている
b) バーストサイクルがライトである。
c) ①の直前で IFIF0 がフルになる。

(3) 下記 a)～c)の全てが成立した場合
a) チップコンフィグレーションレジスタ（ｱﾄﾞﾚｽ0XFFFE_E000：CCFG）の PSNP（ﾋﾞｯﾄ11：PCI スヌープ）がディセーブルに設定されている。
b) バーストサイクルがライトである
c) ＣＰＵコア以外の内部バス(G-bus)のバスマスタがバスサイクル実行中、ＣＰＵコアが①のタイミングでバス開放要求をする。

【回避策】

バーストサイクルがリードとライトの場合で、それぞれ回避策が必要です。バーストサイクルがリード/ライトの両方で行われる場合は、回避策も両方必要になります。

(1)バーストサイクルがリードの場合
PCI コントローラのターゲットコントロールレジスタ（TC）の OF8E をイネーブルにしてください。

(2) バーストサイクルがライトの場合
下記 a),b)の設定を行ってください。
a) PCI コントローラのターゲットコントロールレジスタ（TC）の IF8E をイネーブルにする。
b) チップコンフィグレーションレジスタ（CCFG）の PSNP をイネーブルにする。ただし、この設定により、データキャッシュをライトバックモードで使用することが出来なくなりますのでご注意ください。

【改修】

TMPR3927BF にて下記の通りに修正されています。

(1) PCI スヌープ(PSNP)をディゼーブルに設定しても問題が発生しない様に修正したため、データキャッシュをライトバックモードで使用可能です。
(2) PCI をターゲットモードで使用する場合は、必ず PCI コントローラのターゲットコントロールレジスタ（TC）の OF8E 及び IF8E をイネーブルに設定することを使用上の制限事項とします。

発行番号：ERT-TX3927-005

対象製品名：TMPR3927F、TMPR3927AF
限定条件： 動作中に RESET をアサートする場合

【概要】

特定条件下で RESET がアサートされた場合、SDCLK,SYSCLK,及び PCICLK の出力が Hi-Z になることがあります。

【症状】

特定条件下で RESET がアサートされた場合、SDCLK,SYSCLK,及び PCICLK の出力が Hi-Z になることがあります。これらのクロックを使用するデバイスが、クロックが Hi-Z になることで影響を受ける場合があります。

例えば SDCLK 出力が Hi-Z となると、SDRAM のクロックに対するスペックに違反することになります。 この結果、稀に SDRAM が予期せぬ状態に遷移する可能性があります。

【発生条件】

TX3927 は SDCLK,SYSCLK,及び PCICLK のクロック出力を、ブート時の ADDR 端子(リセット中は入力になります)の状態によって選択出来る仕様になっています。

- SDCLK ･･･ADDR[4] =”1”のときクロック出力、”0”のとき Hi-Z 出力
- SYSCLK･･･ADDR[5] =”1”のときクロック出力、”0”のとき Hi-Z 出力
- PCICLK･･ ADDR[18]=”1”のときクロック出力、”0”のとき Hi-Z 出力

各 ADDR 端子には内蔵のプルアップ抵抗がついているため、通常はクロック出力が選択されます。

しかし、外部から TX3927 に RESET 信号がアサートされ、そのタイミングで TX3927 が前述の ADDR 端子に”0”を出力していた場合、その ADDR 端子がプルアップ抵抗で”1”になるまでの間 SDCLK,SYSCLK、及び PCICLK の出力は Hi-Z になります。

【回避策】

TX3927 に RESET が入力されるときには、SDCLK,SYSCLK 及び PCICLK に接続されているデバイスも RESET されるように設計して下さい。

ただし、SDRAM に関しては RESET 端子が無いため、TX3927 への RESET 入力時は、SDRAM の電源を一旦落とし SDRAM をパワーオン直後の状態にするようにして下さい。

【改修】

TMPR3927BF にて下記の通り修正しています。

(1) SDCLK 及び SYSCLK については、RESET 期間中は常に出力とし、ADDR[4],[5]ピンで設定する仕様は削除。
(2) ブート後,ピンコンフィグレーションレジスタ(ｱﾄﾞﾚｽ 0xFFFE_E008:PCFG)の設定によって SDCLK、SYSCLK の出力をディセーブルする仕様はそのまま。クロック出力をディセーブルした場合は Hi-Z 出力のまま。
(3) PCICLK については現行仕様のまま。

発行番号：ERT-TX3927-006

対象製品名：TMPR3927F、TMPR3927AF 注)これは TX39/H2 コア(PRID=0x0000_2240)の不具合です。
限定条件： TLB を使用する場合

【概要】

TLB 使用時に、特定条件下で Branchlikely 命令が実行された場合にプログラムの挙動が変わることがあります。

【症状】

TLB 使用時に、特定条件下で Branchlikely 命令が実行された場合にプログラムの挙動が変わることがあります。

【発生条件】

本来はBranch likely 命令は分岐条件不成立の場合、delay slot の命令は実行されません。しかし、以下に示す特定条件下においては、分岐条件不成立にかかわらず delay slot の命令が実行され、プログラムの挙動がかわります。

発生条件

(1) 命令に対して TLB が使用される
(2) Page 境界の最後の 2命令が branch likely とその delay slot 命令
(3) 上記 delay slot 上で INT 例外あるいは DINT 例外が発生 (Note1)
(4) 上記 branch likely 命令は分岐条件不成立
(5) Delay slotの次の命令が ITLB miss (Note2)

上記の条件成立時、EPC(あるいはDEPC) には本来入るべき branch likely 命令のアドレスではなく delay slotの命令のアドレスがセットされ、 また Cause （あるいは Debug）Register の BD（あるいは DBD） bit が set されません。この結果、割り込み Handler からの復帰の際、条件不成立時にも関わらず delay slotの命令が実行されてしまいプログラムの挙動が変わります。

Note1)

NMI/BUSERR でもこの現象は発生しますが、 NMI は imprecise 例外であり、もともと復帰できる事は保証されておらず、BUSERR も fatal error でありもともと回復不能です。

Note2)

TX39/H2プロセッサコアはキャッシュメモリのような２エントリの命令 TLB(ITLB) をもっています。ITLB がミスヒットした場合、ハードウェアによって TLB 本体の１つからリフィルされるので TLB 例外は発生しません。

【回避策】

割り込み Handler に下記のような code をいれてください。

```
--------------------------------------------------------------------------
// EPC(或いは DEPC) が page の最後をさし、 その前の命令が branch likely 命令の
// ときは EPC(或いは DEPC) を修正する。

<INT の場合>
  if ((EPC & 0xffc == 0xffc) &&
            ((* (unsigned long *) (EPC - 4) & 0xf0000000 == 0x50000000) ||/*1*/
             (* (unsigned long *) (EPC - 4) & 0xfc0e0000 == 0x04020000) ||/*2*/
             (* (unsigned long *) (EPC - 4) & 0xf3fe0000 == 0x41020000))) /*3*/
                EPC -= 4;

  /*1*/ --> beql, bnel, blezl,  bgtzl
  /*2*/ --> bltzl, bgezl, bltzall, bgezall
  /*3*/ --> bczfl, bcztl
--------------------------------------------------------------------------
```

※ただし、他から jump/branch 命令で delay slot に分岐して来る場合と区別がつかないため、 その可能性を無視できない場合には使用できないという条件がつきます。

なお、パッチ例につきまして、【プログラム例】を参照してください。

【改修】

TMPR3927BF にて修正されています。

【プログラム例】

Example of patch procedure related Branch Likely operation

```
#define BADADDR_OFF         0xffc

        mfc0    a0, EPC_SAVE_AREA     // Save EPC -> a0 (Note)

        li      a1, BADADDR_OFF
        and     a2, a0, a1
        bne     a2, a1, patch_exit
        nop

        lw      a1, -4(a0)

        li      a2, 0xf0000000
        li      a3, 0x50000000
        and     a2, a1, a2
        beq     a2, a3, err_intr
        nop

        li      a2, 0xfc0e0000
        li      a3, 0x04020000
        and     a2, a1, a2
        beq     a2, a3, err_intr
        nop

        li      a2, 0xf3fe0000        // li a2, 0xf01e0000
        li      a3, 0x41020000        // li 0x40020000
```

```
        and     a2, a1, a2
        beq     a2, a3, err_intr
        nop

        j       patch_exit
        nop

err_intr:
        addiu   a0, a0, -4
        sw      a0, EPC_SAVE_AREA

patch_exit:
```

Note) Please modify the address of EPC_SAVE_AREA and the register number for the applied OS.

発行番号：ERT-TX3927-007

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI コントローラ使用時

【概要】

TX3927 が PCI コンフィグレーションリードを実行して、バスエラー例外を発生すると、そのバスエラー例外処理が正しく行われなくなることがあります。

なお、この要因以外によるバスエラー例外処理は正しく行われます。

【症状】

下記の発生条件が成立したときに、バスエラー例外処理が正常に動作しなくなります。

【発生条件】

以下の条件が全てそろった場合に発生します。

1) タイムアウトエラーが有効である。
   つまりチップコンフィグレーションレジスタ(CCFG)のタイムアウトバスエラー有効ビット(TOE)がイネーブル(= 1)に設定されている。
2) PCI コンフィグレーションリードをダイレクトモードで実行している。
   つまりイニシエータコンフィグレーションデータレジスタ(ICDR：アドレス 0xFFFE_D13C)とコンフィグレーションアドレスレジスタ(ICAR：アドレス 0xFFFE_D138)を使用してコンフィグレーションリードを実行している。
   なお、コンフィグレーションライトのときは問題ありません。
3) G-Bus のタイムアウトエラーによってバスエラー例外が発生する。
   タイムアウトエラーが発生する原因として、
   (ア) PCI デバイスの初期化が不完全等の理由により、TX3927 からの PCI コンフィグレーションリード要求に対してリトライを繰り返す。(TREADY 信号をアサートせずに STOP 信号によりリトライ要求を出し続ける)
   (イ) PCI デバイスと TX3927 が互いにリトライを繰り返し、PCI バスがデッドロック状態になっている。（TX3927 をターゲットモード、イニシエータモードの両方で使うシステムで起こる可能性がある、データブックの１２－８４ページ参照）
   (ウ) PCI バスが混んでおり、512G-bus クロック経っても応答が無い。
   等が想定されます。

【回避策】

以下の 2 つのいずれかの方法により回避することが出来ます。

1) PCI コンフィグレーションリードをインダイレクトモードで実行する。
   具体的には
   ・イニシエータインダイレクトアドレスレジスタ
     (IPCIADDR：アドレス 0xFFFE_D150)
   ・イニシエータインダイレクトデータレジスタ
     (IPCIDATA：アドレス 0xFFFE_D154)
   ・イニシエータダイレクトコマンド/バイトイネーブルレジスタ
     (IPCIICBE：アドレス 0xFFFE_D158)

・イニシエータステータスレジスタ
(ISTAT：アドレス 0xFFFE_D044)

を使用します。

ダイレクトモードでは､CPU が ICDR レジスタをリードすることにより PCI バスのコンフィグレーションリードサイクルが発生します。CPU のリードサイクルはPCI バスのコンフィグレーションリードサイクルが完了するまで終わりません。

一方、インダイレクトモードでは、CPU が IPCIADDR、IPCIICBE レジスタにアドレス、コマンドをセットすると PCI コントローラが CPU のリードアクセスとは非同期に PCI バスのバスサイクルを開始します。

PCI コンフィグレーションリードの結果は IPCIDATA レジスタに格納され、PCI バスサイクルの完了状態は ISTAT レジスタをポーリングして確認することができます。(イニシエータ割り込みマスクレジスタ(IIM：アドレス 0xFFFED048)によって割り込みで通知を得ることもできます)

つまり、インダイレクトモードでは CPU のバスサイクルは相手側 PCI デバイスの応答を待たずに終了するため、バスタイムアウトによるバスエラーを発生させることがなくなります。

インダイレクトモードでは、IPCIADDR レジスタに設定した値は、そのまま PCI バスサイクルのアドレスフェーズに PCIAD[31:0]に出力され、IPCICBE レジスタ内の ICMD と IBE に設定された値は PCI コマンドとバイトイネーブルとして PCI バス上に出力されるので注意が必要です。

インダイレクトモードのプログラム例は後述の【プログラム例】をご参照ください。尚、このプログラムはサンプルプログラムですので、動作保証するものではございません。お客様のシステムにてご確認戴きます様お願い致します。

2) タイムアウトエラーを無効にする、つまり CCFG レジスタの TOE ビットをディゼーブル(= 0)に設定する。

この場合、全ての要因によるバスエラーは発生しなくなりますが、G-Bus 上のバスマスタはアクセスしている相手側からアクノリッジが戻ってくるまで待ち続けるため、デッドロックする可能性があります。 例えば、相手側 PCI デバイスがリトライを繰り返す場合、アクノリッジが戻ってこない状態となるため CPU のバスサイクルはデッドロックします。

このような場合にデッドロックを回避するには、ウォッチドッグタイマ等により異常を検出し、システム全体をリセットする様にしておく必要があります。

【プログラム例】

以下にPCIコンフィグレーションサイクルをインダイレクトモードで実行するプログラム例を示します。

尚、本プログラムはサンプルプログラムです。OSをご使用になる場合、ISTATレジスタ、IPCIADDRレジスタ、IPCIDATAレジスタおよびIPCICBEレジスタを書き換える可能性のあるプログラムが割り込みやRTOSにより動作する場合には、これらのレジスタが書き換わってしまう場合があります。お客様の製品に適用される場合には、ISTATレジスタ、IPCIADDRレジスタ、IPCIDATAレジスタおよびIPCICBEレジスタが書き換わってしまうことのないように排他制御を行っていただきます様、ご検討をお願い致します。

```
/* This sample program is suitable for Type 0 configuration cycle                    */

#define WAITTIME 0x1000

void dummyloop(void){
        int i;
        for( i=0; i< WAITTIME;i++);
}

unsigned int
indirect_config_read( unsigned int dev, unsigned int func, unsigned int reg)
{
        /* dev : target device number : 0x00 -- 0x14( AD[11] -- AD[31] )            */
        /* func : target device function number : 0x0 -- 0x7                        */
        /* reg : terget device configuration space address offset
                                   : 0x00 -- 0x3f                                   */
        unsigned int address;    /* ad[31:0] during the address phase               */
        unsigned int read_data; /* the value of configuration read data             */


        /* ISTAT register IDICC bit == 1 , write clear */
        if( *(unsigned int *)(0xfffed044) & 0x00001000    ){
                *(unsigned int *)(0xfffed044) = 0x00001000;
        }

        /* make address value */
        address = 0x00000000 |((0x1) << (11 + (dev & 0x1f)))|((func & 0x7) << 8) | ((reg & 0x3f)<<2);
        *(unsigned int *)(0xfffed150) = address;

        /* execute indirect configuration read              */
        *(unsigned int *)(0xfffed158) = 0x000000a0;

        /* status polling configuration access              */
        while(1){
                if( *(unsigned int *)(0xfffed044) & 0x00001000    ){
                        /* ISTAT register IDICC bit == 1 , indirect initiator command terminates */
                        break;
                }
                dummyloop();
        }

        /* read configuration register value from internal register       */
        read_data = *(unsigned int *)(0xfffed154);

        /* clear IDICC bit(ISTAT register's all bit are R/WC)             */
        *(unsigned int *)(0xfffed044) = 0x00001000;
```

```
	return read_data;
}

void indirect_config_wirte(unsigned int dev, unsigned int func, unsigned int reg, unsigned int data)
{
		unsigned int address;	/* ad[31:0] during the address phase */

		/* ISTAT register IDICC bit == 1 , write clear */
		if( *(unsigned int *)(0xfffed044) & 0x00001000	){
				*(unsigned int *)(0xfffed044) = 0x00001000;
		}

		/* make address value */
		address = 0x00000000 |((0x1) << (11 + (dev & 0x1f)))|((func&0x7) << 8) | ((reg & 0x3f)<<2);
		*(unsigned int *)(0xfffed150) = address;

		/* write value set internal register	*/
		*(unsigned int *)(0xfffed154) = data;

		/* execute indirect configuration write			*/
		*(unsigned int *)(0xfffed158) = 0x000000b0;

		/* status polling configuration access			*/
		while(1){
				if( *(unsigned int *)(0xfffed044) & 0x00001000	){
						/* ISTAT register IDICC bit == 1 , indirect initiator command terminates */
						break;
				}
				dummyloop();
		}

		/* clear IDICC bit(ISTAT register's all bit are R/WC)		*/
		*(unsigned int *)(0xfffed044) = 0x00001000;
}
----------------------------------------------------------------------------------------------------
```

発行番号：ERT-TX3927-008

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： ROMC をハーフスピードモードで使用している場合

【概要】

TX3927 の外部バスコントローラにおいて、ハーフスピードモードに設定されたチャネルのアドレスに対してアクセスするとき、ADDR 信号、ACE*信号、CE*信号、OE*信号及び BE *信号のアサートタイミングがハーフスピード基準クロックで半クロック分遅くなる場合があります。このときデアサートのタイミングは通常と同じとなるため、ハーフスピード基準クロックで半クロック分だけアサート期間が短くなります。

なお、全てのチャネルをフルスピードモードで使用している場合は問題ありません。

【症状】

外部バスコントローラにおいて、ハーフスピードモードに設定されたチャネルのアドレスに対してアクセスするとき、ADDR 信号、ACE*信号、CE*信号、OE*信号及び BE*信号のアサートタイミングがハーフスピード基準クロックで半クロック分遅くなる場合があります。このとき、ハーフスピード基準クロックで半クロック分だけアサート期間が短くなります。

【発生条件】

ROM チャネルコントロールレジスタ(RCCR0～7：アドレス 0xFFFE_9000～901C)のハーフスピードバス(RHS：ビット４)が“１”に設定されているチャネルが１つ以上ある場合、下記 1)~4)の条件が全て揃ったときに発生します。

1) TX3927 の内部バス(G-Bus)において、アドレスの切り替わりとバスサイクルの開始を示す GBSTART*信号のアサートが同時になる。
   アドレスの切り替わりと GBSTART*のアサートが同時になるのは次の a)~c)の３つの場合です。
   a) DMAC がバスサイクルを実行する場合。
   b) PCIC がバスサイクルを実行する場合。
   c) G-Bus のバス開放信号の一つである GHPGGNT*がデアサートされた直後に CPU がバスサイクルを実行する場合。なお、 GHPGGNT*がデアサートされるのは、スヌープ機能ディセーブルのバス要求信号 GHPGREQ*またはバス獲得確認信号 GHAVEIT*がデアサートされたときとなります。つまり、DMAC 及び PCIC がバス要求信号として GHPGREQ*を使用する設定になっていて、それらがバス開放後すぐに CPU がバスサイクルを開始する場合。
2) 1)のバスサイクルがハーフスピードモードに設定されたチャネルのアドレスに対するアクセスである。
3) バスサイクル開始のタイミングがハーフスピード基準クロックの位相と合っていない、つまりハーフスピード基準クロックの立下りでバスサイクルが開始する。

この結果、TX3927 の回路設計上、ADDR 信号、*ACE*信号、CE*信号、OE*信号、及び BE*信号のアサートがハーフスピード基準クロックで半クロック分遅くなります。デアサートのタイミングは通常と同じため、アサート期間もハーフスピード基準クロックで半クロック分短くなります。

注) GHPGGNT*、GHPGREQ*及び GHAVEIT*は外部には出力されない TX3927

内部の信号です。

【回避策】

下記 1)~3)の３通りの回避策があります。いずれか一つの方法を用いることにより、回避することができます。

1) PCI コントローラ､及び DMA コントローラが G-bus を要求する際に用いる信号として、GHPGREQ*ではなく GSREQ*を使用し、且つ DMAC 及び PCIC がハーフスピードモードに設定されたチャネルにアクセスしない様にする。具体的には、このために TX3927 を a)-e)の通りに設定して下さい。
   a) チップコンフィグレーションレジスタ(CCFG：アドレス 0xFFFE_E000)の PCI スヌープビット(PSNP：ビット 11)をキャッシュスヌープ機能イネーブル(=”1”)に設定する。
   b) DMAC のチャネルコントロールレジスタ(CCRn ：アドレス 0xFFFE_B018,0xFFFE_B038, 0xFFFE_B058, 0xFFFE_B078,)のスヌープビット(SNOP：ビット 7)をスヌープ機能イネーブル(=”1”)に設定する。
   c) TX39/H2 コアの Config レジスタ(レジスタ番号：３)の Write Back モード ON ビット(WBON：ビット 13)を Write Through(Non Write Allocate)Mode(=”0”)に設定する。これは TX3927 では a),b)でイネーブルに設定するスヌープ機能が Write Back モードでは使用できないためです。
   d) DMAC がハーフスピードモード設定のチャネルにアクセスしない様にする
   e) PCIC がハーフスピードモード設定のチャネルにアクセスしない様にする

   この回避策を使用する場合、データキャッシュは Write Through モードでのみ使用可能となりますのでご注意ください。

   注) GSREQ はスヌープ機能イネーブルのバス要求信号で、TX3927 外部には出力されません。
2) 外部バスコントローラの 1 チャネル以上をハーフスピードモードで使用する場合は、添付の AC スペックを満たすように回路設計する。
3) 外部バスコントローラをフルスピードモードでのみ使用する。

【AC 特性表(SDRAMC, ROMC インタフェース端子)】

■従来との相違点

Output Delay **のスペックを、**Full-speed bus mode(td)**と** Half-speed bus mode(tdh)**の場合に分けました。**Half-speed bus mode **時、**ADDR、ACE*、CE*、OE***及び** BE***のスペックが、その他の信号のものと異なります。**

(Tc = 0 ~ 70°C, V_{DDS} = 3.3V ± 0.3V, V_{DD2} = 2.5V ± 0.2V, V_{SS} = 0V, CL = 50pF)

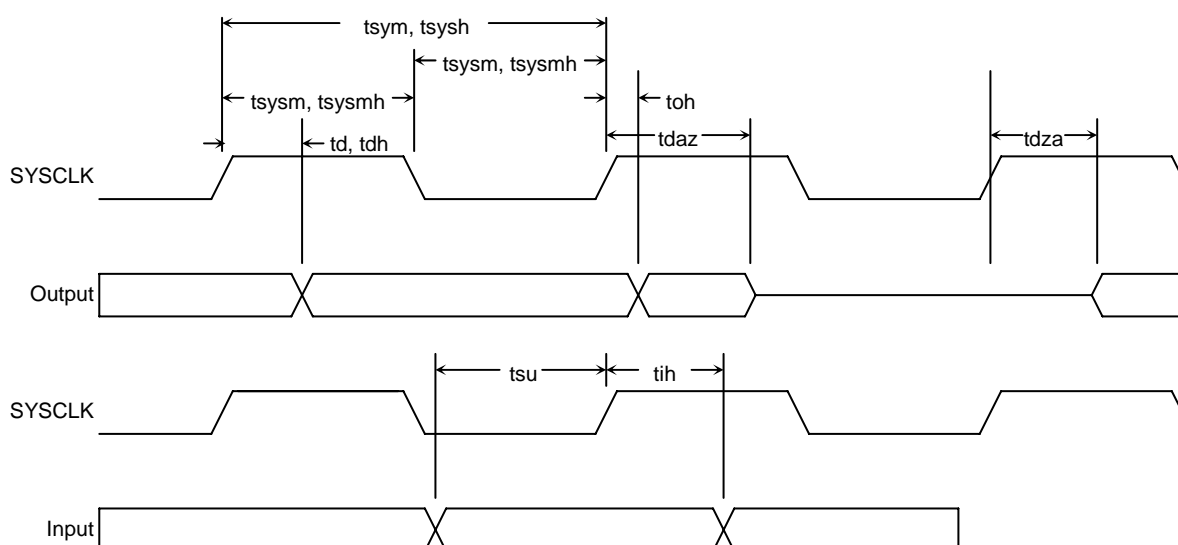
項目	信号	説明	Min	Max	単位
t_{sys}	SYSCLK/SDCLK[4 : 0]	Cycle Time (Full-speed bus mode)	15		ns
t_{sysh}	SYSCLK	Cycle Time (Half-speed bus mode)	30		ns
t_{sysm}	SYSCLK/SDCLK[4 : 0]	Min High/Low Level	5		ns
t_{sysmh}	SYSCLK	Min Half-Speed High/Low Level	12		ns
t_d	(1)	Output Delay(Full-speed bus mode)		7	ns
t_{dh}	**(3)**	**Output Delay(Half-speed bus mode)**		**7**	**ns**
t_{dh}	**(4)**	**Output Delay(Half-speed bus mode)**		**$t_{sysh}/2 + 7$**	**ns**
t_{oh}	(1)	Output Hold	1		ns
t_{su}	(2)	Input Setup	7		ns
t_{ih}	(2)	Input Hold	0		ns
t_{daz}	DATA[31 : 0], ACK*	Data Active to Hi-Z		7	ns
t_{dza}	DATA[31 : 0], ACK*	Data Hi-Z to Active	1		ns

(1) ACK*, DATA[31 : 0], CE[7:0]*, OE*, ACE*, SWE*, BWE[3 : 0]*, ADDR[19 : 2], DMAACK[3 : 0], DMADONE*, PIO[15 : 0], TIMER[1 : 0]

(2) ACK*, DATA[31 : 0], NMI*, INT[5 : 0], DMAREQ[3 : 0], DMADONE*, PIO[15 : 0]

(3) ACK*, DATA[31 : 0], BWE[3:0]**、***SWE*, DMAACK[3 : 0], DMADONE*, PIO[15 : 0], TIMER[1 : 0]

(4) CE[7:0]*, BE*[3 : 0], OE*, ACE*, ADDR[19 : 2]

【タイミング図 (SDRAMC, ROMC インタフェース端子)】

発行番号：ERT-TX3927-009

<table>
<tr><td>対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
注)これは TX39/H2 コア(PRID=0x0000_2240, 0x0000_2241, 0x0000_2242)の不具合です。</td></tr>
<tr><td>限定条件：
Doze モード時に snoop 機能を使用する場合</td></tr>
</table>

【概要】

Doze モード時に、バス制御権を解放し snoop 機能を使用しても、データキャッシュ内の該当するデータが無効になりません。

TX3927 は、Config レジスタ(Cp0：r3)の Doze ビット(ビット 9)を 1 に設定することにより、Doze モードになります。Doze モード時は、バス要求信号に応じてバス制御権を解放することができます。バス制御権を解放している間、クロックの立ち上がりで snoop 信号のアサートを認識すると、通常動作モード時と同様に、アドレスバス上のアドレスを取り込み、データキャッシュ内のアドレスと一致したデータを無効にします。

本不具合により Doze モード時に snoop 機能を使用してもデータキャッシュ内のデータは無効になりません。

【症状】

Doze モードから復帰した際、正しいデータを読むことができない場合があります。

【発生条件】

Doze モード時に snoop 機能を使用した場合に発生します。

Doze モード以外のモードでは、snoop 機能は正常に動作します。

【回避策】

下記 1)～3)の 3 通りの回避策があります。いずれか 1 つの方法を用いることにより、回避することができます。

1) snoop 機能を使用しないようにする。
2) snoop 機能を使用する場合は、Doze モードを使用しないようにする。
   ただし UDEOS/r39 をご使用の場合は、アイドルタスクに遷移する際、OS により自動的に Config レジスタ(Cp0：r3)の Doze ビット(ビット 9)が 1 に設定されます。そのため、OS のソースファイル(kidle.c)の設定を変更し、Doze モードを使用しない設定にする必要があります。ただし、ライブラリパッケージでは、上記の回避はできません。最低優先度のタスクを用意してください。(【UDEOS/R39 ご使用時の不具合回避例】をご覧ください。)
3) Doze モード時に snoop 機能を使用する場合は、Doze モード終了時にキャッシュをインバリデートする。

【Doze モード時不具合における OS 別使用上の注意点】

1) UDEOS/r39	Doze 使用
2) VxWorks	問題無し(Doze 未使用)
3) WinCE	下記 3) を参照
4) Linux	問題無し(Doze 未使用)

1) UDEOS/r39

UDEOS/r39 の V3.3.0 とそれ以前のバージョンでは、アイドルタスクに遷移する際 Doze モードに入ります(OS が自動的に Config レジスタ(Cp0：r3)の Doze ビット(ビ

ット 9)を 1 に設定します)。アイドルタスクにおいて Doze モードを使用しないように変更するためには、OS のソースファイル(kidle.c)の設定を変更し、カーネルを再構築する必要があります。ただし、ライブラリパッケージでは、上記の回避はできません。最低優先度のタスクを用意してください。
また、Doze モードをご使用になる場合は、回避策に従い不具合を発生させないようにしてください。

2) VxWorks
TX3927 用 VxWorks は、Tornado2.0/R3000 の VxWorks カーネルを利用し、キャッシュライブラリのみ、TX39/H2 コア用に置き換えています。すなわち、キャッシュライブラリ以外は、R3000 互換で動作しています。そのため、OS そのものに Doze モードはサポートされておらず、お客様の責任においてご使用いただくようになっています。Doze モードをご使用になる場合は、回避策に従い不具合を発生させないようにしてください。

3) WinCE
詳細はご購入先の SI ベンダにお問い合わせください。お客様のシステムにおいて Doze モードをご使用になる場合は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

4) Linux
モンタビスタソフトウェアジャパン(株)の Linux(Monta Vista Linux)は、カーネル内で Dose モードを使用していません。Doze モードをご使用になる場合は、回避策に従い不具合を発生させないようにしてください。

【UDEOS/R39 ご使用時の不具合回避例】

本不具合回避策 2)に記載しました UDEOS/R39 をご使用の場合の不具合回避例を以下に挙げます。

1. OS のソースファイルを修正する場合

UDEOS/r39 の V3.3.0 とそれ以前のバージョンでは、アイドル時に ./src/kidle.c で Config レジスタを操作して Doze モードにしています。

(kidle.c) 修正前

```
TASK TR_Eidl(void)
{
        for(;;){
#if defined(TR_KNL_LOG) || defined(TR_MTD_LOG)
            /* アイドルログ記録 */
            TR_writeLog(TR_LOG_IDL, 0, (ID)0, (ID)0, 0);
#endif
            /* 省電力モード */
            TR_lowPower();
        }
}
```

Doze モードに設定しないよう変更する場合には、以下のような修正が必要です。修正後、カーネルを再構築してください。

(kidle.c) 修正後

```
TASK TR_Eidl(void)
{
        for(;;);
}
```

アイドルログを記録するための処理は、アイドルログでバッファが埋め尽くされることを避けるため、削除してあります。この場合も、アイドル状態になったことを知ることはできます。

2. OS のソースファイルを修正しない場合

アプリケーションで使用している最低優先度のタスクより低い優先度のタスクを用意します。

コンフィグレーションマクロでそのタスクを登録してください。

```
CRE_TSK(id, exinf, TA_HLNG | TA_START, task, pri, stk)
```

タスクは以下のような内容にしてください。

```
TASK
task( )
{
        for(;;);
}
```

なお、ライブラリパッケージでは、kidle.c のソースが付属されていませんので 回避策 1(OS のソースファイルを修正する場合)を行うことはできません。回避策 2(OS のソースファイルを修正しない場合)でご対応いただきますようお願いいたします。

発行番号：ERT-TX3927-010

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF 注)これは TX39/H2 コア(PRID=0x0000_2240, 0x0000_2241)の不具合です。
限定条件： ライトバックモードを使用する場合

【概要】

ライトバックモード使用時、CPU が DMAC または PCIC からのスヌープ機能なしのバス要求により内部バス(G-Bus)のバス制御権を解放している間に CACHE 命令によるデータキャッシュのフラッシュが発生すると、G-Bus および SDRAM などの外部バスがロックする可能性があります。

本不具合が発生した場合、チップコンフィギュレーションレジスタ(CCFG)の TOE ビット(ビット 14)をイネーブルとしバスエラーのタイムアウト機能を有効にしても、バスエラーが発生しません。また、TX3927 のウォッチドックタイマの機能を使用した場合、TX3927 にはリセットがかかりますが、システム全体にリセットがかかるかどうかはお客様のシステムの仕様によります。システム全体にリセットがかからない場合には、システムの電源を一旦落とす必要があります。

【症状】

G-Bus および SDRAM などの外部バスがロックする可能性があります。

【発生条件】

以下の 2 つの条件がそろったときに発生する可能性があります。

1) ライトバックモードを使用している場合。
2) バス制御権開放中に CACHE 命令によりデータキャッシュのフラッシュを行った場合。
   CACHE 命令でデータキャッシュのフラッシュが行われるのは、op フィールド(bit20:16)が 0x01,0x15,0x19 の場合です。

なお、キャッシュミスに伴うキャッシュリプレースによるバーストライトオペレーションでは、不具合は発生しません。

【回避策】

下記 1)または 2)の 2 通りの回避策があります。いずれか 1 つの方法を用いることにより、回避することができます。

1) ライトスルーモードを使用する。
2) ライトバックモードを使用する場合は、バス制御権開放中に CACHE 命令によるデータキャッシュのフラッシュを行わない。これには下記【回避例】のような方法が考えられます。

【改修】

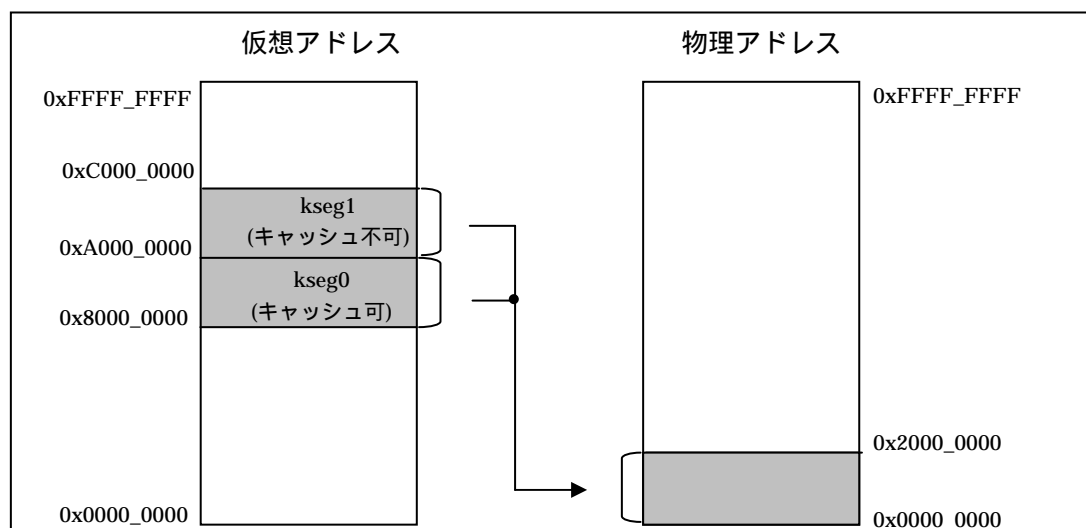
TMPR3927CF にて修正されています。

【回避例】

本文の回避策 2 の回避例を示します。以下は CACHE 命令を使用せずにデータキャッシュのフラッシュを行う処理の例です。

例 1

仮想アドレス 0x8000_0000~0x9FFF_FFFF と 0xA000_0000~0xBFFF_FFFF は、同じ物理アドレス(0x0000_0000~0x1FFF_FFFF)にマッピングされます。0x8000_0000~0x9FFF_FFFF はキャッシュ可能領域、0xA000_0000~0xBFFF_FFFF はキャッシュ不可領域です。

そのため、キャッシュ可能領域(0x8000_0000~0x9FFF_FFFF)からデータを読み出し、そのデータをキャッシュ不可領域(0xA000_0000~0xBFFF_FFFF)の中の同じ物理アドレスに割り付けられているアドレスへ書き込むことにより、CACHE 命令によるデータキャッシュのフラッシュと同等の処理を行うことができます。

例えば、キャッシュフラッシュしたいデータアドレスが 0x8000_0000 である場合、以下の 1)~3)の処理を行います。

1) 0x8000_0000 のデータを読み出す。
   0x8000_0000~0x9FFF_FFFF はキャッシュ可能領域なので、データ読み出しはまずデータキャッシュに対して行われます。そのため、0x8000_0000 がデータキャッシュにヒットした場合はデータキャッシュから読み出されます。ミスヒットの場合にはメモリ(物理アドレス 0x0000_0000)から読み出されます。
2) 1)で読み出したデータを 0xA000_0000 に書き込む。
   0xA000_0000~0xBFFF_FFFF はキャッシュ不可領域なので、データの書き込みは必ずメモリ(物理アドレス 0x0000_0000)に対して行われます。
3) 1)のアドレスに対するデータキャッシュを無効にする。これは CACHE 命令の op フィールド(bit20:16)を 0x11 とすることで可能です。

つまり上記の処理により、データの読み出し時にデータキャッシュにヒットした場合は、キャッシュフラッシュ(キャッシュからの読み出しとメモリへの書き込み)が行われます。

ただし、データキャッシュにヒットしなかった場合には、同じメモリアドレスに対して読み出しと書き込みを行うことになりますので、無駄な処理になってしまいます。

例 2

キャッシュ可能領域に、プログラム中で未使用のデータ領域が連続して 4K バイト以上ある場合、その領域を 4K バイト連続して読み出すことにより、自動的にデータキャッシュの全領域をフラッシュすることが可能です。(キャッシュミスに伴うキャッシュリプレースが行われるため。)

発行番号：ERT-TX3927-011

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI コントローラのターゲットモード使用時

【概要】

ある特定の条件の下で PCI アクセスが起きたときに、リードサイクルにおいて、リードすべきアドレスではなく直前にライトした次のアドレスに対してリードが行われる可能性があります。

【症状】

特定条件下で TX3927 の PCIC をターゲットとしてリードアクセスする際に、誤ったアドレスからリードする可能性があります。

【発生条件】

下記の 2 つの設定をしているときに、下記の順番で PCI アクセスが起こると不具合が発生する可能性があります。

＜設定＞

1) OFIFO のデータを PCI トランザクション終了後も保持している場合。
   これは、ターゲットコントロールレジスタ(TC)の OFCAD ビット(bit[19])を”0”に設定している場合に該当します。デフォルトの値は”0”です。
2) １回の PCI リード要求に対して、ローカルメモリから OFIFO へリードするときに、OFIFO に空きがあれば先読みする設定にしている場合。
   これは、TC レジスタの OFPFO ビット(bit[12])を”0”に設定している場合に該当します。デフォルトの値は”0”です。

＜不具合が発生するPCIアクセスの順番＞

1) PCIデバイスがTX3927のローカルメモリをリード。
   OFIFOへのデータインが間に合わずPCIリードサイクルをリトライで終了。
   （TX3927はローカルメモリからOFIFOへデータを取り込み中。）
2) PCIデバイスがTX3927のローカルメモリへライト。
   実際には、IFIFOへデータを書き込んだ時点でPCIのトランザクションは終了。
   上記ローカルメモリからOFIFOへのデータ取り込みが終わるまで、IFIFOからメモリへの書き込みは待たされる。
3) PCIデバイスがTX3927のローカルメモリから再度リード。
   今度はOFIFOにデータがあるため、データを返してPCIトランザクションを終了。
4) 3の終了タイミングより前にPCIコントローラのIFIFOからローカルメモリへのライトが済んでいるか、または3の終了タイミングにおいてローカルメモリへのライトを実行中である。
5) PCIデバイスが、TX3927のローカルメモリから、前にリードしたアドレスの次のアドレスのデータをリードする。

上記 4 のタイミングが発生すると、OFIFO のローカルバスのアドレスポインタに、今 PCI が実行中のローカルバスのアドレスがラッチされます。5 は前のアドレスに連続したアドレスへのアクセスのため、PCIC の設定が条件のようになっていると、ローカルバスアドレスのポインタが更新されず、次の取り込みデータのアドレスが 4 でラッチしたア

ドレス（ライトしたアドレス）になってしまいます。このため間違ったアドレスからデータをリードすることになります。

【回避策】

下記 1)または 2)の 2 通りの回避策があります。いずれか 1 つの方法を用いることにより、回避することができます。

1) OFIFO のデータを PCI トランザクション終了時に破棄する。
   つまり、TC レジスタの bit[19]を"1"にする(デフォルト"0")。
2) 1 回の PCI リード要求に対して、ローカルメモリから OFIFO へのリードは１回しか行わない（先読みしない）。
   つまり、TC レジスタの bit[12]を"1"にする(デフォルト"0")。

【OS 使用上の注意点】

ERT-TX3927-014 の**【ERT-TX3927-011～ERT-TX3927-014 OS 使用上の注意点】**をご覧ください。

発行番号：ERT-TX3927-012

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI コントローラのネバータイムアウト機能使用時

【概要】

PCIC のネバータイムアウト機能をイネーブルにし、かつターゲットバースト長レジスタ(TBL)の TBL_OFIFO ビット(bit[7:4])の設定を 16D ワードにしたとき、PCI バスがロックする可能性があります。ここで、ネバータイムアウト機能がイネーブルになるのは、ターゲットコントロールレジスタ(TC)の OFNTE ビット(bit[18]), OF16E ビット(bit[5]), OF8E ビット(bit[3])を全て”1”に設定した場合です。また、TBL レジスタの bit[7:4]の設定は、”01XX”または”1X1X”のとき 16D ワードになります。

【症状】

PCIC のネバータイムアウト機能をイネーブルにし、特定条件下で TX3927 の PCIC をターゲットとしてアクセスする際に、PCI バスがロックする可能性があります。

【発生条件】

下記の 2 つの設定をしているときに、下記のプロセスにおいて不具合が発生する可能性があります。

＜設定＞

1) ネバータイムアウト機能をイネーブルにしている場合。
   これは、TC レジスタの bit[18]を”1”に設定している場合に該当します。デフォルトの値は”0”です。
2) TBL レジスタの bit[7:4]の設定を”01XX”または”1X1X”に設定している場合。

＜不具合が発生するプロセス＞

外部PCIバスマスタがTX3927より16Dワードのデータをリードしている際に、外部PCIバスマスタが16Dワード目でIRDYをディアサートすることによりウェイトをかけた時、以下のようなプロセスで不具合が発生します。

1) TX3927は、次でトランザクションが終わるため、15Dワードがリードされた次のクロックで終了すると思い込みそこで止まってしまう。
2) 外部PCIバスマスタは再度IRDYを下げて次のデータを待ち続ける。

このときネバータイムアウト機能をイネーブルにしているため、TX3927はSTOP信号をアサートしてトランザクションを終わらせることができません。またTBLレジスタのbit[7:4]を16Dワードに設定しており、これはFIFOと同じサイズであるため、最終データ（1Dワード）分がOFIFOに残っていることから次のデータをOFIFOに取り込めず、OFIFOのPCIバスへの出力レベル(ワード数)を満足できません。

上記によりトランザクションが終わらず、PCIバスマスタがバス権を離さないためPCIバスがロックしてしまいます。

【回避策】

下記 1)または 2)の 2 通りの回避策があります。いずれか 1 つの方法を用いることにより、回避することができます。

1) ネバータイムアウト機能をディセーブルにする。
   つまり、TC レジスタの bit[18]を”0”にする(デフォルト”0”)。

2) TBL レジスタの bit[7:4]の設定を”01XX”、”1X1X”以外に設定する。

【OS 使用上の注意点】

ERT-TX3927-014 の**【ERT-TX3927-011～ERT-TX3927-014 OS 使用上の注意点】**をご覧ください。

発行番号：ERT-TX3927-013

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI コントローラのターゲットモード 使用時

【概要】

ターゲットメモリベースアドレス(MBA)およびターゲット I/O ベースアドレス(IOBA)は、PCIC アドレス空間を指定します。この空間の最後の４D ワードは PCIC 用の予約領域です。TX3927 の仕様では、ターゲットコントロールレジスタ(TC)の OFARD ビット(bit[8])または IFARD ビット(bit[7])を 0 にしたとき、「外部 PCI マスタがアドレス境界を越えるか、または予約エリアにアクセスすると、PCIC はターゲットアボート命令を発行します。」となっています。しかし実際の動作は以下のようになります。

・ バーストアクセス時
 最初の 3D ワードはアクセスでき､最後の 1D ワードに達したときにアボートする。
・ シングルアクセス時
 最初の 1D ワードはアクセスでき、それ以降の D ワードにシングルアクセスしたときにはターゲットアボートではなくマスタアボートになる。

【症状】

PCIC の予約領域にアクセスしたときの動作が仕様と異なります。

【発生条件】

下記のどちらかの設定をしている場合に該当します。

1) OFIFO アドレスレンジチェックをイネーブルにしている場合。
 これは、TC レジスタの bit[8]を”0”に設定している場合に該当します。デフォルトの値は”0”です。
2) IFIFO アドレスレンジチェックをイネーブルにしている場合。
 これは、TC レジスタの bit[7]を”0”に設定している場合に該当します。デフォルトの値は”0”です。

【回避策】

PCIC 用の予約領域にアクセスしないでください。

【OS 使用上の注意点】

ERT-TX3927-014 の**【ERT-TX3927-011～ERT-TX3927-014 OS 使用上の注意点】**をご覧ください。

発行番号：ERT-TX3927-014

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI コントローラのイニシエータモード使用時

【概要】/ 【症状】

イニシエータアクセス時に PCI バスに 3 バイトデータアクセスをした場合、CBE の値が 0001b になると IRDY を 5 クロック目で自動的にネゲートしてしまいます。このため TRDY がここまでにアサートされていないと下記の不具合が発生します。

・データが正しくリード、ライトできない

・PCI ターゲットデバイスが TRDY をネゲートできない

【発生条件】

以下の 2 つの条件がそろったときに発生する可能性があります。

1) イニシエータアクセス時に PCI バスに 3 バイトデータアクセスをした場合
イニシエータアクセス時に PCI バスに 3 バイトデータアクセスするケースは、以下の二つが挙げられます。どちらのケースでもこの不具合は発生します。
a) CPU がダイレクトモードで 3 バイトアクセスする。
b) CPU がインダイレクトモードで 3 バイトアクセスする。

2) CBE の値が 0001b である場合

【回避策】

イニシエータアクセス時は、PCI バスに 3 バイトデータアクセスをしないでください。

【ERT-TX3927-011～ERT-TX3927-014 OS 使用上の注意点】

ERT-TX3927-011～ERT-TX3927-014 の OS への影響は下記の通りです。また、下記以外の OS、ドライバ、ミドルウェア等をご使用の場合も本不具合に該当している可能性がありますので、ご確認ください。

1) UDEOS/r39

UDEOS/r39 では PCIC を制御していません。お客様のシステムで PCIC をご使用の場合は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

2) VxWorks

・ ERT-TX3927-011, ERT-TX3927-012

WindRiver 株式会社からリリースされる JMR-TX3927 用 BSP をそのままご使用いただく場合、本不具合は発生しません。お客様で設定値を変更される場合は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。また、WindRiver 株式会社からリリースされる BSP ではなく、これまで、弊社からサンプルとしてご提供していた BSP をご使用の場合、リリース時期によっては不具合の影響を受ける可能性があります。弊社からご提供していた BSP をご使用のお客様は、TC レジスタ, TBL レジスタの設定値をご確認くださいますようお願いいたします。

・ ERT-TX3927-013

TC レジスタの設定値が本不具合の発生条件を満たします。PCIC 用の予約領域にはアクセスしないようご注意ください。

・ ERT-TX3927-014

JMR-TX3927+VxWorks 用に弊社でご用意した PCI ドライバ(TC35815, RTL8029, Intel82557/8/9)では本不具合による影響はありません。これら以外のドライバを組み込むお客様は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

3) WinCE

不具合に該当する可能性があります。詳細はご購入先の SI ベンダにお問い合わせください。

4) Linux(Monta Vista Linux)

モンタビスタソフトウェアジャパン(株) からリリースされる JMR-TX3927 用 LSP をそのままご使用いただく場合、本不具合は発生しません。お客様がシステムを構築する際には、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

発行番号：ERT-TX3927-015

<table>
<tr><td>対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
注)これは TX39/H2 コア(PRID=0x0000_2240, 0x0000_2241, 0x0000_2242)の不具合です。</td></tr>
<tr><td>限定条件：
バスエラーのタイムアウト機能を使用する場合</td></tr>
</table>

【概要】

TX3927 では、チップコンフィグレーションレジスタ(CCFG)の TOE ビット(bit[14])を"1"にセットすることにより、内部バスサイクルのタイムアウト時にバスエラーを発生させる事ができます。本不具合では、バスエラーが発生した際、バスエラー直後に CPU コアがハングアップしてしまう可能性があります。

【症状】

バスエラー直後に CPU コアがハングアップしてしまう可能性があります。

【発生条件】

以下の 4 つの条件が全てそろったときに発生する可能性があります。

1) バスエラーのタイムアウト機能をイネーブルに設定している。これは CCFG レジスタの TOE ビットを"1"に設定している場合に該当します。デフォルトの値は"0"です。
2) バスエラー例外のベクタアドレスがキャッシュ可能な領域にある。これは CPU コアの Status レジスタの BEV ビット(bit[22])を"0"にセットしている場合に該当します。デフォルトの値は"1"です。
3) バスエラー発生直後から、ライトバッファ 4 段すべてにライトデータが格納されるまでに、内部バス上にリードオペレーションが発生しない。
4) ライトバッファ 4 段すべてにライトデータが格納されている状態で CPU コアのライト要求が発生する。

【回避策】

下記 1), 2)の 2 通りの回避策があります。いずれか 1 つの方法を用いることにより、回避することができます。

1) 例外ハンドラの先頭にキャッシュ領域からのロード命令を配置する。
   回避プログラム例を例１に示します。

   この回避策は、バスエラー発生以降に実行される最初のストア命令より前に実行する必要があります。
   またこの回避策は、データキャッシュディセーブル時は有効ではありません。

   キャッシュ領域からのロードの際、ロードアドレスがキャッシュにヒットしてしまうと、内部バスにリードオペレーションが発生せず不具合が回避できません。これを避けるため、ロード命令実行前に、該当アドレスに対しキャッシュインバリデートを実行してください。

   なお、キャッシュをライトバックモードで利用している場合、回避プログラム中のキャッシュインバリデートによって有効なデータを消し去ってしまう危険性があります。これを避けるためには、ロード対象とするアドレスのキャッシュラインサイズ分のデータ（例 1 の場合、0x80000000～0x8000000c の 4word）は、リード

オンリーのデータとなるよう注意してください。

【例 1】

```
0x80000080   lui     r10, 0x8000
        84   ori     r10, r10, 0x0000  ;r10←0x80000000(キャッシュ領域)
        88   cache   17, 0(r10) ;r10 にヒットするデータキャッシュライン無効
        8c   lw      r11, 0(r10) ;r10 よりリード
```

2) 例外ハンドラの先頭で非キャッシュ領域からの命令フェッチを行う。
回避プログラム例を例 2 に示します。

この回避策は、バスエラー発生以降に実行される最初のストア命令より前に実行する必要があります。

例 2 では、通常の例外ハンドラ処理を 0x80000090 以降に配置したと仮定して、非キャッシュ領域へのジャンプの後、通常の例外ハンドラ処理に再度ジャンプしています。

【例 2】

```
0x80000080   lui    r10, 0xbfc0          ;キャッシュ領域
        84   ori    r10, r10, 0x1000
        88   jr     r10                  ;非キャッシュ領域へジャンプ
        8c   nop
                …                        ;以下例外ハンドラ処理

0xbfc01000   lui    r11, 0x8000          ;非キャッシュ領域
        04   ori    r11, r11, 0x0090
        08   jr     r11                  ;例外ハンドラ処理へジャンプ
        0c   nop
```

【OS 別使用上の注意点】

1) UDEOS/r39

UDEOS/r39 では例外ベクター部分のコードはソースコードで提供されています。不具合に該当するお客様は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

2) VxWorks

例外ベクタ部のコードは、VxWorks カーネルが設定します。バスエラー例外が発生した場合、例外ベクタ部コード実行時のキャッシュのヒット/ミスヒットの状況によっては、本不具合に該当する可能性があります。本不具合を回避するためには、例外ベクタ部のコードを書き換える必要があります。例外ベクタ部の書き換え方法につきましては、弊社マイクロプロセッサ応用担当までお問い合わせください。
なお、タイムアウト機能をディセーブルにしている場合は、バスエラー例外は発生しません。ウインドリバー株式会社や、弊社からご提供している JMR-TX3927 用 BSP では、タイムアウト機能をイネーブルにしています。

3) WinCE

不具合に該当する可能性があります。詳細は弊社マイクロプロセッサ応用担当までお問い合わせください。

4) Linux (Monta Vista Linux)

モンタビスタソフトウェアジャパン(株)の Linux(Monta Vista Linux)では、例外ベクター部分のコードはソースコードで提供されています。不具合に該当するお客様は、使用上の注意事項の回避策に従い、不具合を発生させないようにしてください。

発行番号：ERT-TX3927-016

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： SIO のブレーク機能を使用する場合

【概要】

送信側が送信データ途中から TX3927 にブレークを送信した場合、TX3927 は最初のフレームエラーのみ検出し、ブレークを検出できません。
ブレーク受信がスタートビットと同期している (スタートビット直後から受信データが連続して“L”である) 場合は、正常にブレークを検出できます。

（不具合動作）

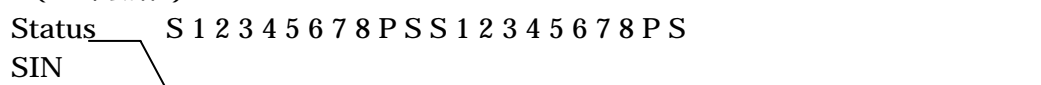
Status S 1 2 3 4 5 6 7 8 P S
SIN

↑ Start ↑ Flame Error

＊フレームエラーの後スタートビットが認識できないため、受信ステータスはIdleで停止する。

（正常動作）

Status S 1 2 3 4 5 6 7 8 P S S 1 2 3 4 5 6 7 8 P S
SIN

↑ Start ↑ 1st Break ↑ 2nd Break

＊スタートビット認識直後から受信データが連続して“L”であればブレーク検出できる。

【症状】

TX3927 にブレークを送信した際に、TX3927 がブレークを受信できない場合があります。

【発生条件】

送信側が TX3927 へ送信データ途中からブレークを送信した場合に発生する可能性があります。

【回避策】

TX3927 へブレークを送信する場合は、スタートビットに同期させる(スタートビット直後から送信データを連続して“L”にする)ようにしてください。

【OS 別使用上の注意点】

1) UDEOS/r39

UDEOS/r39 では、SIO のドライバを提供していません。お客様のアプリケーション上で SIO のブレーク機能をご使用の場合には、使用上の注意事項をご覧の上、不具合を発生させないようにしてください。

2) VxWorks

VxWorks の IO ドライバはブレーク機能をサポートしていません。VxWorks の OS

ドライバや、このドライバをご使用のお客様がこの不具合の影響を受けることはありません。お客様のアプリケーション上でブレーク機能をご使用の場合には、使用上の注意事項をご覧の上、不具合を発生させないようにしてください。

3) WinCE
お客様のエラー処理によっては、不具合に該当する可能性があります。使用上の注意事項の発生条件を満たす場合には、ブレークを検出する事ができませんので、フレームエラーで処理するようにしてください。

4) Linux (Monta Vista Linux)
モンタビスタソフトウェアジャパン(株)の Linux(Monta Vista Linux) の IO ドライバはブレーク機能をサポートしていません。Monta Vista Linux の OS ドライバや、このドライバをご使用のお客様がこの不具合の影響を受けることはありません。お客様のアプリケーション上でブレーク機能をご使用の場合には、使用上の注意事項をご覧の上、不具合を発生させないようにしてください。

発行番号：ERT-TX3927-017

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： TX3927 の PCIC をサテライトモードで使用する場合

【概要】

TX3927 の PCI コンフィギュレーションレジスタの R/WL ビットには、本来外部 PCI マスタからのライトはできませんが、あるタイミングで外部 PCI マスタからもライトされてしまいます。

あるタイミングとは、TX3927 の CPU コアが内部バスへライトをしているときに、外部 PCI マスタが TX3927 のコンフィギュレーション空間へライトしたときです。レジスタには PCI マスタがライトしたデータが書き込まれます。

R/WL に相当するビットは以下の通りです。

- PCISTAT レジスタ(addr:0xfffed006)の FBBCP および USPCP
- CC レジスタ(addr:0xfffed008)
- SCC レジスタ(addr:0xfffed009)
- RID レジスタ(addr:0xfffed00b)
- SVID レジスタ(addr:0xfffed02c)
- SSVID レジスタ(addr:0xfffed02e)
- ML レジスタ(addr:0xfffed03c)
- MG レジスタ(addr:0xfffed03d)
- IP レジスタ(addr:0xfffed03e)

【症状】

外部 PCI マスタから TX3927 の PCI コンフィギュレーションレジスタの R/WL ビットが書き換えられる可能性があります。

【発生条件】

以下の 2 つの条件が同時にそろったときに発生します。

1) 外部 PCI マスタが、TX3927 の PCI コンフィギュレーションレジスタの R/WL ビットにライトする。
2) TX3927 の CPU コアが内部バス上でライト処理を行う。

【回避策】

外部 PCI マスタが TX3927 の PCI コンフィギュレーションレジスタの中で R/WL ビットを含むレジスタにライト処理を行う場合は、リード・モディファイ・ライトを行い、R/WL ビットにはリードした値と同じ値を書き込むようにしてください。

【OS 別使用上の注意点】

TX3927 をサテライトモードでご使用の場合、お客様のシステムによっては、不具合の影響を受ける可能性がありますのでご注意ください。

発行番号：ERT-TX3927-018

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： PCI **コントローラのブロークンマスタ検出機能を使用する場合**

【概要】

PCI **コントローラのブロークンマスタ機能を使用すると、故障していないマスタを誤って故障と判断することがあります。**

※ **内蔵 PCI バスアービタのブロークンマスタ検出機能とは、バスを獲得したにも関わらずアクセスを開始しない PCI マスタをブロークンマスタとして検出し、そのマスタをアービトレーションから外す機能です。**

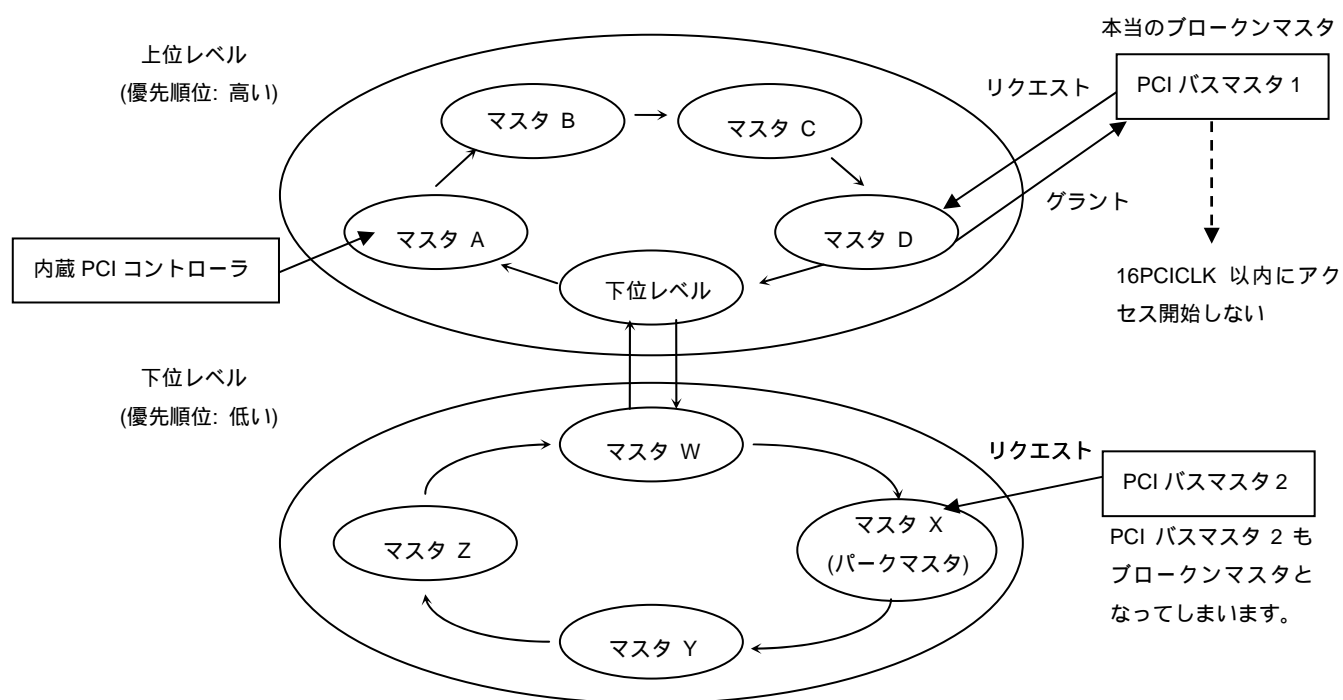
この機能で、あるバスマスタが本当に故障してブロークンマスタとして検出されたときに、他の故障していないマスタも同時にブロークンマスタとして検出されてしまうことがあります。

【不具合の発生条件】

(1) **ブロークンマスタ検出機能が有功になっている。**(BMCEN=1)
ブロークンマスタ検出機能は PCI **バスアービタ／パークマスタコントロールレジスタ**(PBAPMC)**の** BMCEN **ビットで有功/無効の設定がされます。初期値は** 0 **で無効です。**

(2) **内蔵** PCI **バスアービタの上位レベルおよび下位レベルにマスタが割りつけられている。**
アービタへのバスマスタの割り付けはリクエストトレースレジスタ(REQ_TRACE)**で指定します。**

(3) **上位レベルに接続されたマスタがブロークンマスタとして検出されたときに、下位レベルに接続されたマスタがリクエストを出し、かつそのマスタに対する優先順位が下位レベルの中で最も高い。（リセット直後のマスタ** W**、或いは下位レベルの中で最後にバス権を獲得したマスタ（パークマスタ））**

以上の条件がすべて満たされるとき。

PCI アービタの状態（現象発生時の例）

【回避策】

以下の 2 つの回避策があります。

(1)ブロークンマスタ機能を使用しないで下さい。
PBAPMC レジスタの BMCEN ビットをセット(1 書きこみ)しないで下さい。

(2)ブロークンマスタ機能を使用する場合は、上位レベル（A,B,C,D）しか使用しないで下さい。

【改修】

TMPR3927F、TMPR3927AF、TMPR3927BF、TMPR3927CF の修正予定はありません。

発行番号：ERT-TX3927-019

対象製品名：TMPR3927F、TMPR3927AF、TMPR3927BF、 TMPR3927CF
限定条件： Serial I/O において、オーバランエラーをステータ変化割り込みステータスレジスタ(SISCISR)の”OERS”フィールドを参照することにより検出・処理している場合の不具合。 (ソフトウェアで参照している場合、もしくは DMA/割り込みコントロールレジスタ(SIDICR) の”STIE”フィールドに”1*****"をセットして、オーバランエラー発生時にステータス変化割り込みが発生するように設定している場合)

【概要】

ステータ変化割り込みステータスレジスタ(SISCISR)のオーバランエラー(OERS)フィールドに“０”をライトしても、このレジスタをクリアできません。また、同じレジスタのブレーク検出(UBRKD)フィールドに“０”をライトすると、オーバランエラー(OERS)フィールドがクリアされます。

【症状】

本不具合は上記限定条件の元、以下のような内容で発生します。

Serial I/O の初期化後、一度目のオーバランエラーが発生すると、ステータス変化割り込みステータスレジスタ(SISCISR)のオーバランエラー(OERS)フィールドに“1”がセットされます。

(**不具合**1)

OERS フィールドに“1”がセットされた後に、OERS フィールドに“0”をライトしても、このレジスタをクリアできません。このため、一度でもオーバランエラーが発生すると、Serial I/O 内部に存在するオーバラン検出フラグの状態が OERS フィールドに正確に反映されず、二度目以降のオーバランエラーは OERS フィールドを参照しても検出できません。

(**不具合**2)

OERS フィールドに“1”がセットされた後に、同じレジスタの UBRKD フィールドに“0”をライトする
と、OERS フィールドがクリアされてしまいます。

【回避策】

オーバランエラーの検出には DMA/割り込みステータスレジスタ(SIDISR)の UOER フィールドを使用してください。(UOER フィールドを使用してオーバランエラー検出・処理を実施している場合、本不具合の影響はありません。)

オーバランエラー発生時には Serial I/O 全体をソフトウエアリセットする必要がありますが、これが確実に行われていることを確認してください。ソフトウエアリセットは FIFO コントロールレジスタ (SIFCR) のソフトウエアリセット(SWRST)フィールドに“１”をセットすることにより実行可能です。

【OS 別使用上の注意点】

対象製品の修正予定はありません。

ドキュメント正誤表

発行日：2002 年 10 月 5 日

対象ドキュメント：**TX39** ファミリ　**TMPR3927A**　データブック（**2000** 年）

Doc.No　：**02434D3AB**

訂正個所	修正前	修正後
p.3-3 SYSCLK 機能説明	ブート信号 CHANS*	ブート信号CHANHS*
p.3-4 TIMER[1:0]機能説明	DMAACK[3]/PIO[11]/TOMER[0]	DMAACK[3]/PIO[11]/TIMER[0]
p.3-4 SDCLK[4:0] 機能説明追加		SDRAM 使用時には、SDCLK[0]は必ずイネーブルにしてください。
p.3-5 CE[7:0]*	ROMCE[7:2]は SDCS[7:2]と兼用です。	CE[7:2]は SDCS[7:2]と兼用です。
p.3-6 PCICLK 機能説明追加		内部 PCICLK 使用時には、PCICLK[0]は必ずイネーブルにしてください。
p.5-4 SYSCLKEN 説明追加		ディゼーブル時は Hi-Z 出力となります。
p.5-4 SDRCLKEN[4:0] 説明追加		SDRAM 使用時には SDRCLKEN[0]は必ずイネーブルにしてください。 また、ディゼーブル時は Hi-Z 出力となります。
p.5-4 PCICLKEN[3:0] 説明追加		内部 PCICLK 使用時には PCICLKEN[0]は必ずイネーブルにしてください。 また、ディゼーブル時は Hi-Z 出力となります。
p.6-1 表 6.1.1	PCI3*=High　fc/6　･･･ PCI3*=Low　fc/4　･･･	PCI3*=Low　fc/6　･･･ PCI3*=High　fc/4　･･･
p.8-11 8.4.5 (注 2)	t_{RC}はt_{RCD}とt_{CAS}に包含されます。	t_{RC}はt_{RCD}とt_{CASL}に包含されます。
p.8-30 8.5.6 追加		未使用の SDCLK は、ピンコンフィグレーションレジスタ(PCFG)の bit[26:22]で任意に止めることができます。ただし SDCLK[0]は、内部へのフィードバックに使用されているため、SDRAM 接続時は、SDCLK[0]は止めないようにしてください。
p.9-4,9-5 説明	RWT, RCS, 16BUS, RBC, RHS, RME 初期値 ch2～7	ch1～7
p.9-5 RCS 説明	チャネル 0 のメモリサイズを指定します。	チャネルのメモリサイズを指定します。
p.9-5 16BUS 説明	チャネル 0 のメモリバス幅を指定します。	チャネルのメモリバス幅を指定します。
p.9-6 9.4.1 章 BOOTAI 説明	ブート信号 BAI*(DATA[6]端子)の反転した値･･･	ブート信号BAI*(ADDR[7]端子)の反転した値･･･
p.9-6 9.4.1 章 BOOTBC 説明	ブート信号 BBC(DATA[5]端子)の値が･･･	ブート信号BBC(ADDR[6]端子)の値が･･･

訂正個所	修正前	修正後
p.9-8,9 全体	WT PWT RRDY PM	RWT RPWT RDY RPM
p.9-9 9.4.8 章 10 行目	SHWT を”0”にしてください。	RSHWTを”0”にしてください。
p.9-9 9.4.8 章 (4)	(TBL)で 0FIF0、IFIF0 に取りこむ	(TBL)でOFIFO、IFIFOに取りこむ
p.9-12 9.4.12 章 9,11 行目	CS	RCS
p.9-27 図 9.5.15(注 2)	S1 の次にすぐ ES1 ステートがきます。	S1 の次にすぐES2ステートがきます。
p.9-32 図 9.5.22 説明	(32 ビットシングルライト、･･･)	(32 ビットシングルリード、･･･)
p.10-2 10.2 章 Ch.2,3	(受信)	(送信)
p.10-2 10.2 章 Ch.3	DMAREQ0, DMAACK0	DMAREQ3, DMAACK3
p.10-4,5 DIS3-0	1:エラー割り込みあり 2:エラー割り込みなし	1:転送終了割り込みあり 2:転送終了割り込みなし
p.10-19 10.4.1 章 10 行目	カウンタレジスタ(CNARn)	カウンタレジスタ(CNTRn)
p.10-25 10.4.9 章 23,32 行目	カウンタレジスタ(CNARn)	カウンタレジスタ(CNTRn)
p.11-1 11.2 章 3 行目	･･･割り込み検出モードレジスタ０(IRDMR0)で設定します。	･･･割り込み制御モードレジスタ０(IRCR0)で設定します。
p.11-20 11.4.1 章 4 行目	表 8.4.1 に、TX3927 の･･･	表 11.4.1 に、TX3927 の･･･
p.11-21 11.4.2 章 2 行目	IRDER.ICE を”1”にセットします。	IRCER.ICEを”1”にセットします。

訂正個所	修正前	修正後
p.12-6 表 12.3.3 ニモニック	TLBIOMA	TLBIOMAR
p.12-6 表 12.3.3 ニモニック	TLBMMA	TLBMMAR
p.12-19 最後に追加		注)本レジスタを設定する前にターゲット I/O ベースアドレスサイズレジスタ(IOBAS)を設定してください。
p.12-20 最後に追加		注)本レジスタを設定する前にターゲットメモリベースアドレスサイズレジスタ(MBAS)を設定してください。
p.12-32	(IPBIMAR)	(IPBIOMAR)
p.12-34	(ILBIOMA)	(ILBIOMAR)
p.12-35 OFCAD フィールド名	OFIFO キャッシングイネーブル	OFIFOキャッシングディセーブル
p.12-36 OFPFO フィールド名	シングルバーストイネーブル	シングルバーストディセーブル
p.12-36 SWGSE ニモニック	ソウトウェアシステムエラー生成イネーブル	ソフトウェアシステムエラー生成イネーブル
p.12-37 OF16E 説明削除	1：…16PCI クロックが経過すると、ターゲットステートマシンは PCI バスマスタをディスコネクトします。	
p.12-37 IF8E 説明追加		ターゲットモード使用時は必ず"1"に設定するようにしてください。設定しなかった場合、不要な STOP*信号をアサートする場合があります。
p.12-37 OF8E 説明追加		ターゲットモード使用時は必ず"1"に設定するようにしてください。設定しなかった場合、不要な STOP*信号をアサートする場合があります。
p.12-67 IOBAS 説明 2 行目	IOBAS	IOBA
p.12-67 IOBAS 説明 8 行目	TLBMMAR および MBA レジスタ･･･	TLBIOARおよびIOBAレジスタ･･･
p.12-72 ILMDE 説明 2 行目	･･･を IPBMMAR に設定された･･･	･･･をILBMMARに設定された･･･

訂正個所	修正前	修正後
p.12-72 ILMDE 説明 5 行目	IPBMMAR に設定された値を・・・	ILBMMARに設定された値を・・・
p.12-72 ILIDE 説明 2 行目	・・・を IPBIOMAR に設定された・・・	・・・をILBIOMARに設定された・・・
p.12-72 ILIDE 説明 5 行目	IPBIOMAR に設定された値を・・・	ILBIOMARに設定された値を・・・
p.12-84 12.4.1 章イニシエータ PIO モード説明追加		イニシエータモジュールはローカルバスのバーストアクセスに対応しておりません。ダイレクトモードで使用する場合、キャッシュ領域にはマッピングしないようにしてください。
p.12-86	TLBMMA TLBIOMA	TLBMMAR TLBIOMAR
p.13-3 図 13.2.2	SIDSR.TDIS SISCISR.STIS SIDISR.FRI SIRXDREQ	SIDISR.TDIS SISDISR.STIS SIDISR.ERI SIRXDREQ*
p.13-6 USBL 説明	1:1 ビット 0:2 ビット	0:1 ビット 1:2 ビット
p.13-7 STIE 説明	Status Change Interrupt Enable Channel 1	Status Change Interrupt Enable Channel
p.13-9 ビット 6 フィールド名	ステータース変化	ステータス変化
p.13-10 RBRKD 説明追加		ブレークを検出すると”1”にセットされます。ブレークではないフレームを受信すると自動的にクリアされます。
p.13-10 UBRKD 説明追加		一旦”1”がセットされると”0”をライトしてクリアするまで”1”のままです。
p.13-19 表 13.4.1	BRG デバイダ	BRD デバイダ
p.13-20 13.4.5 章 1 行目	受信制御部は、SIFLCR.RSDEが”1”にセット…	受信制御部は、SIFLCR.RSDEが”0”にセット…
p.13-20 13.4.5 章 4 行目	SIFLCR.RSDE が”1”にセットされたときは RXD の値が”0”でもこれをスタートビットとは見なしません。	SIFLCR.RSDE が”0”にクリアされた時点で RXD の値が”0”のときは、これをスタートビットとは見なしません。
p.13-21 13.4.11 章 1 行目	SILCLR.TSDE	SIFLCR.TSDE
p.13-21 13.4.11 章 後から 3 行目	SIFLCR.TSE	SIFLCR.TES

訂正個所	修正前	修正後
p.13-22 13.4.14 章	SSCISR.RBRKD がセットされます。	SISCISR.RBRKD と SISCISR.UBRKD がセットされます。SISCISR.UBRKD はソフトウェアでクリアするまでセットされたままになります。SISCISR.RBRKD はブレークではないフレームを受け取ると自動的にクリアされます。
p.13-22 13.4.16 章 10 行目文章追加		…ことによって、受信エラーと読み出した受信データを一対一に対応させる事ができ、受信エラーの追い越しが…
p.13-22 13.4.16 章 12 行目文章追加		…使用して、SIRFIFO 中の読み出す前のデータに対するエラーを検知する事により、受信エラーの追い越しを…
p.13-24	SIO チャネル 0 受信 DMA チャネル 2 SIO チャネル 1 受信 DMA チャネル 3	SIO チャネル 0 送信 DMA チャネル 2 SIO チャネル 1 送信 DMA チャネル 3
p.13-25 図 13.5.2,3	SITXDREQ SIRXDREQ	SITXDREQ* SIRXDREQ*
p.13-26 図 13.5.5	SISPIREQ**	SISPIREQ*
p.14-2 図 14.2.1 Timer-0,1 追加		Pulse Generator Mode
p.14-9	分周レジスタ(TIMCCDRn)	分周レジスタ(TMCCDRn)
p.14-11	タイマリードレジスタ(TMTPRn)	タイマリードレジスタ(TMTRRn)
p.14-14 図 14.4.2	(外部入力クロック;立ち上がりエッジ動作)	(外部入力クロック;立ち下がりエッジ動作)
p.14-16 14.4.3 章 9 行目	割り込みコントロールロジックは TMTCR の･･･	割り込みコントロールロジックは TMWTMR2 の･･･
p.14-17,18	TMWTMR	TMWTMR2
p.14-17 4 行目	TMTISR の TWIE に 0 をセットしても･･･	TMWTMR2 の TWIE に 0 をセットしても･･･
p.15-5	(XPI00D)	(XPIOOD)
p.15-6	(XPI0FLAG0)	(XPIOFLAG0)
p.17-5	(1) ACK*, DATA[31:0], ROMCE*	(1) ACK*, DATA[31:0], CE*
p.A-11 struct INTR	volatile int IRDER; /* ** Interrupt Detect Enable register ** */	volatile int IRCER; /* ** Interrupt Control Enable register ** */
p.A-11 struct INTR	volatile int IRDMR[2]; /* ** Interrupt Detect Mode register ** */	volatile int IRCR[2]; /* ** Interrupt Control Mode register ** */
p.A-22 割り込み処理の初期化 関数 intInt	CPUReg->IREG.IRDER=1;	CPUReg->IREG.IRCER=1;
P.A-29 関数 test_timerInt0	CPUReg->IREG.IRDER=1;	CPUReg->IREG.IRCER=1;

TX3927相違点一覧

Errata No.	説明	TX3927F	TX3927AF	TX3927BF	TX3927CF
-	PRID Value		0x0000_2240	0x0000_2241	0x0000_2242
-	CRIR Value		0x3927_0032	0x3927_0040	0x3927_0040
-	PCI コントローラの LBC レジスタの DDRAD ビット	No	Yes	Yes	Yes
001	防湿梱包	×	×	×	×
002	静電気破壊	×	×	×	×
003	TLB オン時の供給電圧	×	×	×	×
004	不要な PCI Stop*信号アサート問題	×	×	△	△
005	RESET 時のクロック出力問題	×	×	○	○
006	Branchlikely 命令の問題	×	×	○	○
007	PCI コンフィグレーションリード時の問題	×	×	×	×
008	ハーフスピードモードでの ROM コントローラの問題	×	×	×	×
009	Doze モード時の snoop 機能の問題	×	×	×	×
010	ライトバックモードでの CACHE 命令の問題	×	×	×	○
011	PCI アクセス時のリードアドレス不正の問題	×	×	×	×
012	PCIC のネバータイムアウト機能使用時の問題	×	×	×	×
013	PCIC の予約領域アクセス時の問題	×	×	×	×
014	PCIC の 3 バイトデータアクセス時の問題	×	×	×	×
015	バスエラー発生時の問題	×	×	×	×
016	SIO のブレーク受信時の問題	×	×	×	×
017	PCIC の R/WL ビットアクセス時の問題	×	×	×	×
018	PCIC のブロークンマスタ検出機能使用時の問題	×	×	×	×
019	Serial I/O、オーバランエラー検出方法の問題	×	×	×	×

Note1) 表で使用しているコード

× ：問題が該当する

○ ：問題は修正されている

△ ：問題は一部修正されている

Note2) 各項目の詳細については、本文をご参照ください